

(54) HETEROJUNCTION FIELD-EFFECT TRANSISTOR

(11) 1-94674 (A)

(43) 13.4.1989 (19) JP

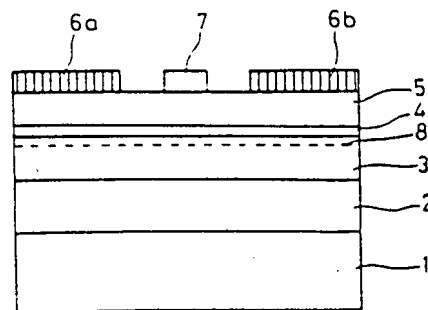
(21) Appl. No. 62-252155 (22) 6.10.1987

(71) SANYO ELECTRIC CO LTD (72) KIMIHIKO NAGAMI(1)

(51) Int. Cl. H01L29/80, H01L29/205

PURPOSE: To prevent Cr diffusions or crystalline defects from occurring by providing a buffer layer whose conductive type is different from a undoped semiconductor channel between the semi-insulating crystalline substrate and a nondoped semiconductor channel layer.

CONSTITUTION: A heterojunction field-effect transistor comprises a semi-insulating crystalline layer 1; an undoped semiconductor channel layer 3 formed on such semi-insulating crystalline substrate 1; an electron supplying layer 5 formed on such undoped semiconductor channel layer 3; and a control electrode 7 formed on such electron supplying layer 5. Such heterojunction field-effect transistor further comprises a buffer layer 2 whose conductive type is different from the nondoped semiconductor channel layer 3 between the semiinsulating crystalline substrate 1 and the nondoped semiconductor channel layer 3. For example, a P-type GaAs layer 2, a undoped GaAs layer 3, an undoped $Al_{0.1}Ga_{0.9}As$ layer 4 are formed on a semi-insulating GaAs substrate 1. Further, after growing an Si-doped $Al_{0.1}Ga_{0.9}As$ layer 5, a source electrode 6a, a drain electrode 6b, and a gate electrode 7 are formed.



⑫ 公開特許公報(A) 平1-94674

⑮ Int. Cl.

H 01 L 29/80
29/205

識別記号

庁内整理番号

H-8122-5F
8526-5F

⑬ 公開 平成1年(1989)4月13日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 ヘテロ接合電界効果トランジスタ

⑯ 特 願 昭62-252155

⑰ 出 願 昭62(1987)10月6日

⑱ 発 明 者 永 見 公 彦 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑲ 発 明 者 松 本 史 夫 大阪府守口市京阪本通2丁目18番地 三洋電機株式会社内
 ⑳ 出 願 人 三洋電機株式会社 大阪府守口市京阪本通2丁目18番地
 ㉑ 代 理 人 弁理士 西野 卓嗣 外1名

明 細 書

1. 発明の名称 ヘテロ接合電界効果トランジスタ
 2. 特許請求の範囲

1. 半絶縁性結晶基板と、この半絶縁性結晶基板上に設けられたノンドープ半導体チャンネル層と、このノンドープ半導体チャンネル層上に設けられた電子供給層と、この電子供給層上に設けられた制御電極と、を備えて成るヘテロ接合電界効果トランジスタにおいて、

前記半絶縁性結晶基板と前記ノンドープ半導体チャンネル層の間に該ノンドープ半導体チャンネル層と導電型の異なる緩衝層が設けられていることを特徴とするヘテロ接合電界効果トランジスタ。

3. 発明の詳細な説明

㍁ 産業上の利用分野

本発明はヘテロ接合界面の2次元電子ガスを利用したヘテロ接合電界効果トランジスタに関する。

㍂ 従来の技術

半導体結晶基板上に、基板結晶より禁止帯幅の大きい半導体の結晶を積層したヘテロ接合電界効

果トランジスタ(以下、ヘテロ接合FETという)は、ある条件下でヘテロ接合界面に2次元電子ガスを形成することが知られている。超高速半導体装置として最近注目を集めている高電子移動トランジスタ(HEMT)も前記ヘテロ接合界面の2次元電子ガスを利用した装置である(例えば、Journal of Crystal Growth 56(1982)455-463、North Holland Publishing Company参照)。

第3図はAlGaAs-GaAsヘテロ接合を用いた従来のHEMTの模式的断面構造図であり、同図により以下にその製造方法を説明する。

まず、半絶縁性GaAs基板11上に分子線エビタキシ(MBE)技術または有機金属エビタキシ(QMVE)技術により、ノンドープGaAs層12を1 μ mの厚さまで成長させ、さらに該ノンドープGaAs層12上にノンドープAl \times Ga $1-x$ As層13を60 \AA の厚さまで成長させ、次に該ノンドープAl \times Ga $1-x$ As層13上にSi δ -ドープAl \times Ga $1-x$ As層(Si濃度:1 \times

10^{18} cm^{-3}) 00を1000 Åの厚さまで成長させる。ここで、 x は $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 中の AlAs の組成を示す数値であり、略0.3である。

その後、このようにして形成されたヘテロエピタキシャル基板上に $\text{Au} \cdot \text{Ge} \cdot \text{Ni}$ 等からなるオーミック金属を蒸着し、リフトオフ法によりソース電極形成部およびドレイン電極形成部に該金属を残し、合金化を行ってオーミック領域を Si ドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層00、ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層03、およびノンドープ GaAs 層02内に貫通させてソース電極(15a)、ドレイン電極(15b)を形成する。

最後に Si ドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層00にショットキバリアを形成する金属(Al)または金属(Ti-Pt-Au 等)をソース電極(15a)、ドレイン電極(15b)との間にリフトオフ法により選択的に被覆させ、ゲート電極09を形成する。上述した如き製造方法により作成されたHEMTにおいては、ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層03とノンドープ GaAs 層02とのヘテロ接合界

面の該層02側に2次元電子ガスチャネル07が形成される。 Si ドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層00がゲート電極09のショットキバリアあるいは表面単位により空乏化し、正にイオン化した不純物はノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層03とノンドープ GaAs 層02とのヘテロ接合界面に負電荷を持つ電子を誘起することにより、該2次元電子ガスチャネル07が形成される。

第4図は従来のHEMTのゲート電極-Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層-ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層-ノンドープ GaAs 層に亘る伝導帯エネルギー図である。図中A1領域はSiドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層00に、A2領域はノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層03に、A3領域は2次元電子ガスチャネル07に、A4領域はノンドープ GaAs 層02に夫々対応しており、禁止帯幅はA1およびA2領域が略1.80 eV、A3およびA4領域が略1.43 eVである。また、A2領域とA3領域との界面すなわち $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層03と GaAs 層02とのヘテロ接合界面の伝

導帯エネルギー差は略0.32 eVである。該ヘテロ接合界面では $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層03と GaAs 層02とがいずれもノンドープであり、しかもSiドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層00のイオン化した不純物と分離されるため、イオン化不純物が極めて少ない。従って、ソース電極(15a)とドレイン電極(15b)との間に電圧を印加すると電子はイオンによる散乱が少ないため高速で動作する。なお、誘起される2次元電子ガス濃度 n_s は約 $5 \times 10^{12} \text{ cm}^{-2}$ である。

ゲート電極09の電界効果により2次元電子ガスチャネル07を通過する電子を制御することにより、第2図に示す装置はHEMTとしてトランジスタ動作を行なう。つまり、ゲート電極09にかけるゲート・ソース電極間電圧 V_{gs} により2次元電子ガスの濃度を制御できる。2次元電子ガス濃度 n_s とゲート・ソース電極間電圧 V_{gs} には以下の関係がある。

$$n_s = n_{s0} + \frac{C_A V_{gs}}{q}$$

ただし、 $n_{s0} : V_{gs} = 0$ のときの2次元電子ガス濃度

$C_A : \text{SiドープAl}_x\text{Ga}_{1-x}\text{As層の静電容量}$

$q : \text{電子の電荷}$

(イ) 発明が解決しようとする問題点

上述した如き従来のHEMTにおいて、ノンドープ GaAs 層02が薄いと、半絶縁性 GaAs 基板01からの Cr 拡散、あるいは該基板01の結晶欠陥等により移動度の低下をもたらす。

逆に、 Cr の拡散あるいは結晶の欠陥等の影響を避けるために、ノンドープ GaAs 層02を厚くすると、中性領域(第4図の領域B)のキャリア伝導により、ヘテロ接合電界効果トランジスタがピンチオフしなくなってしまうという問題がある。

本発明は上述の問題点に鑑み為されたもので、中性領域を生じさせることなく、 Cr の拡散あるいは結晶の欠陥等の影響を避けることのできるヘテロ接合電界効果トランジスタを提供しようとする。

するものである。

㊦ 問題点を解決するための手段

本発明は半絶縁性結晶基板と、この半絶縁性結晶基板上に設けられたノンドープ半導体チャネル層と、このノンドープ半導体チャネル層上に設けられた電子供給層と、この電子供給層上に設けられた制御電極と、を備えて成るヘテロ接合電界効果トランジスタにおいて、前記半絶縁性結晶基板と前記ノンドープ半導体チャネル層の間に該ノンドープ半導体チャネル層と導電型の異なる緩衝層が設けられていることを特徴とするヘテロ接合電界効果トランジスタである。

㊦ 作 用

ノンドープ半導体チャネル層と導電型の異なる緩衝層が設けられるので、この緩衝層とノンドープ半導体チャネル層の間にP-N接合が形成されるとともに、該緩衝層が半絶縁性結晶基板のCrの拡散あるいは結晶欠陥の影響等を防ぐ。

㊦ 実施例

第1図は本発明に係るヘテロ接合を用いたHE

その後、このようにして形成されたヘテロエピタキシャル基板上にAu・Ge・Ni等からなるオーミック金属を蒸着し、リフトオフ法によりソース電極形成部およびドレイン電極形成部に該金属を残し、合金化処理を行なってオーミック領域をSiドープAlxGa1-xAs層(5)内に貫通させてソース電極(6a)、ドレイン電極(6b)を形成する。

次にSiドープAlxGa1-xAs層(5)上にショットキバリアを形成する金属(Al)または金属(Ti-Pt-Au)等をソース電極(6a)とソース電極(6b)の間にリフトオフ法により選択的に被着させ、ゲート電極(制御電極)(7)を形成する。

斯上の装置では、ノンドープGaAs層(3)とP型GaAs層(2)との間にP-N接合が形成され、ノンドープGaAs層(3)に中性領域は生じない。

第2図は本発明に係るHEMTのゲート電極-SiドープAlxGa1-xAs層-ノンドープAlxGa1-xAs層-^{ドープ}ノンドープGaAs層-P型

MTの模式的断面構造図であり、同図により以下にその製造方法を説明する。

まず、半絶縁性GaAs基板(半絶縁性結晶基板)(1)上に分子線エピタキシ(MBE)技術により、P型GaAs層(緩衝層)(2)を3μmの厚さまで成長させる。続いて、該P型GaAs層(2)上にノンドープGaAs層(ノンドープ半導体チャネル層)(3)を1μmの厚さまで成長させ、さらに該ノンドープGaAs層(3)上にノンドープAlxGa1-xAs層(4)を60Åの厚さまで成長させる。このノンドープAlxGa1-xAs層(4)とノンドープGaAs層(3)とのヘテロ接合界面の該層(3)側に2次元電子チャネル(8)が形成される。

続いて、ノンドープAlxGa1-xAs層(4)上にMBE技術により、SiドープAlxGa1-xAs層(電子供給層)(5)を0.1μmの厚さまで成長させる。ここで、Si濃度は $2 \times 10^{18} \text{ cm}^{-3}$ であり、xはAlxGa1-xAs層の中のAlAsの組成を示す数値であり、略0.3である。

— GaAs層に亘る伝導帯エネルギー図である。図中A1領域はSiドープAlxGa1-xAs層(5)に、A2領域はノンドープAlxGa1-xAs層(4)に、A3領域は2次元電子ガスチャネル(8)に、A4領域はノンドープGaAs層(3)に、A5領域はP型GaAs層(2)に夫々対応しており、禁止帯幅はA1およびA2領域が略1.80eV、A3およびA4領域が略1.43eVである。また、A2領域とA3領域の界面、すなわちAlxGa1-xAs層(4)とGaAs層(3)とのヘテロ接合界面の伝導帯エネルギー差は略0.32eVである。この図からも中性領域が生じていないことは明らかである。

而して、ヘテロ接合界面に生じた2次元電子ガスのみが電流となり、ピンチオフが可能となる。

また、半絶縁性GaAs基板(1)のCrの拡散あるいは結晶欠陥等の影響もP型GaAs層(2)で防ぐことができる。

上述の実施例では各層の成長にはMBE法を用いたが、急峻なヘテロ接合界面を形成できる方法、例えば有機金属エピタキシ(QMVE)技術等

を用いることができる。

さらに、スペーサ層として介在させたノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層13を省くこともできる。

また、本発明は InGaAs-InAlAs ヘテロ接合、 InP-InGaAs 接合等に適用できることは明らかであるし、2次元電子ガスのみならず2次元ホールガスを用いたヘテロ接合電界効果トランジスタに適用できることも明らかである。

(f) 発明の効果

本発明は以上の説明から明らかな如く、半絶縁性結晶基板とノンドープ半導体チャネル層の間に該ノンドープ半導体チャネル層と導電型の異なる緩衝層が設けられているので、ノンドープ半導体チャネル層と緩衝層の間にP-N接合が形成され中性領域が生じることはない。従って、ヘテロ接合界面に生じた2次元電子ガスのみが電流となり、ピンチオフが可能となる。

また、半絶縁性結晶基板のCrの拡散あるいは晶欠陥等の影響も緩衝層で防ぐことができ、移

動度が低下することはない。

4. 図面の簡単な説明

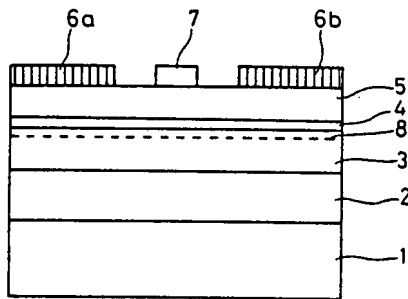
第1図は本発明に係るヘテロ接合FETの模式的断面図、第2図は本発明に係るヘテロ接合FETの伝導帯エネルギー図、第3図は従来のヘテロ接合FETの模式的断面図、第4図は従来のヘテロ接合FETの伝導帯エネルギー図である。

(1)…半絶縁性GaAs基板(半絶縁性結晶基板)、(2)…P型GaAs層(緩衝層)、(3)…ノンドープGaAs層(ノンドープ半導体チャネル層)、(4)…ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層、(5)…Siドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層(電子供給層)、(6a)…ソース電極、(6b)…ドレイン電極、(7)…ゲート電極、(8)…2次元電子ガスチャネル。

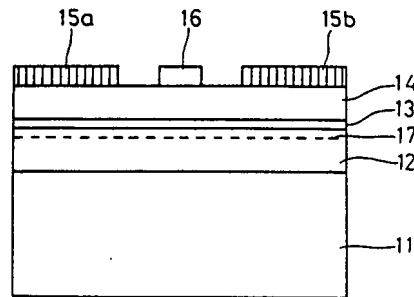
出願人 三洋電機株式会社

代理人 弁理士 西野卓樹(外1名)

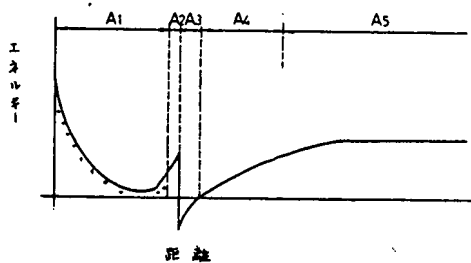
第1図



第3図



第2図



第4図

